

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-231909  
 (43)Date of publication of application : 16. 08. 2002

(51)Int. Cl. H01L 27/12  
 H01L 21/02  
 H01L 21/322  
 H01L 21/301

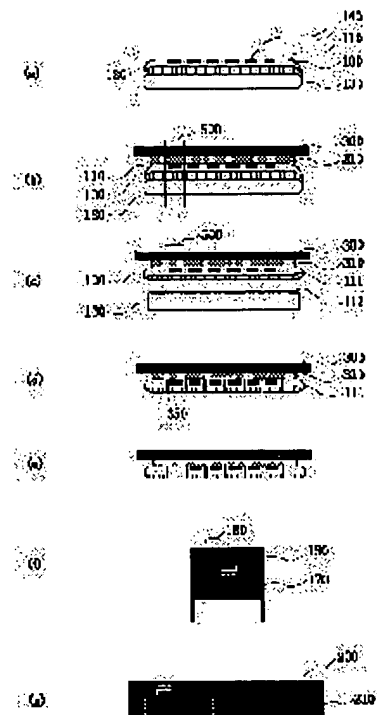
(21)Application number : 2001-023847 (71)Applicant : CANON INC  
 (22)Date of filing : 31. 01. 2001 (72)Inventor : YONEHARA TAKAO  
 SAKAGUCHI KIYOBUMI

## (54) MANUFACTURING METHOD OF THIN-FILM SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin-film semiconductor device that reduces the number of processes, and at the same time influence to a device formation layer in separation.

SOLUTION: This manufacturing method of thin-film semiconductor devices should include a process for preparing a member 120 that has a semiconductor film 110 with a semiconductor device and/or a semiconductor integrated circuit 140 on a separation layer 100, a process for separating the member 120 in the separation layer by the pressure of fluid, and a process for changing the semiconductor film into a chip after the separation process.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-231909

(P2002-231909A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L	27/12	H 0 1 L 27/12	B
	21/02	21/02	B
	21/322	21/322	G
	21/301	21/78	L
審査請求 未請求 請求項の数 8 O L (全 9 頁)			

(21) 出願番号 特願2001-23847(P2001-23847)

(22) 出願日 平成13年1月31日 (2001.1.31)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 米原 隆夫

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

(72) 発明者 坂口 清文

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

(74) 代理人 100090538

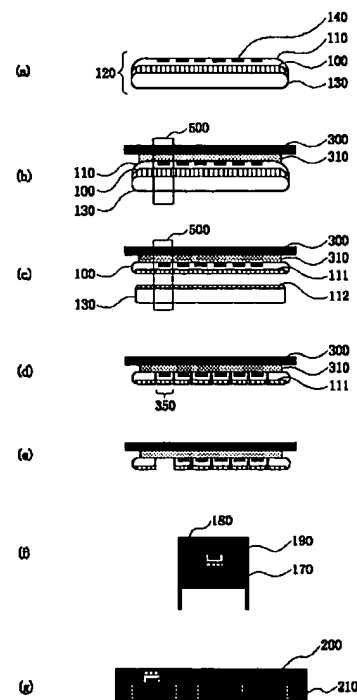
弁理士 西山 恵三 (外1名)

(54) 【発明の名称】 薄膜半導体装置の製造方法

(57) 【要約】

【課題】 少ない工程で、且つ分離の際のデバイス形成層への影響を少なくした薄膜半導体装置を提供する。

【解決手段】 半導体素子及び／又は半導体集積回路140を備えた半導体膜110を分離層100上に有する部材120を用意する工程、該部材120を流体の圧力により該分離層で分離する分離工程、及び該分離工程後該半導体膜をチップ化するチップ化工程を有することを特徴とする薄膜半導体装置の製造方法。



【特許請求の範囲】

【請求項1】 半導体素子及び／又は半導体集積回路を備えた半導体膜を分離層上に有する部材を用意する工程、該部材を流体の圧力により該分離層で分離する分離工程、及び該分離工程後該半導体膜をチップ化するチップ化工程を有することを特徴とする薄膜半導体装置の製造方法。

【請求項2】 前記部材は、半導体基板表面に多孔質層を形成し、且つ該多孔質層表面に前記半導体膜を形成した後、前記半導体素子及び／又は半導体集積回路を形成して得られる請求項1記載の薄膜半導体装置の製造方法。

【請求項3】 前記部材は、半導体基板表面に前記半導体素子及び／又は半導体集積回路を形成した後、該表面側から所定深さにイオンを注入して前記分離層を形成して得られる請求項1記載の薄膜半導体装置の製造方法。

【請求項4】 前記半導体基板は、単結晶シリコン基板、あるいは化合物半導体基板である請求項2あるいは3記載の薄膜半導体装置の製造方法。

【請求項5】 前記分離工程は、流体による圧力を前記分離層に印加することで行なわれる請求項1記載の薄膜半導体装置の製造方法。

【請求項6】 前記分離工程後、前記半導体膜側に残留する分離層を除去してから前記チップ化工程を行なう請求項1記載の薄膜半導体装置の製造方法。

【請求項7】 前記分離工程後であって、且つ前記チップ化工程後に、前記半導体膜側に残留する分離層を除去する工程を行なう請求項1記載の薄膜半導体装置の製造方法。

【請求項8】 半導体素子及び／又は半導体集積回路を備えた半導体膜を分離層上に有する部材を用意する工程、該部材を所望の領域にチップ化するチップ化工程、及び該チップ化工程後該分離層で分離する工程を有することを特徴とする薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜半導体装置、及びその製造方法の関わる。

【0002】

【従来の技術】LSIチップを薄層化するため、シリコン基板に集積回路等を形成した後、基板裏面側からグラインダーにより薄層化する技術が知られている。

【0003】しかし、集積回路等が形成される層はシリコン基板の表面のみであり、大部分の領域が研削され捨てられてしまう。これでは限りある資源の有効活用とはいえない。一方では、半導体装置の微細化・高集積化に伴いチップ発熱密度が飛躍的に大きくなることが懸念され、早急にLSIチップを薄層化する技術の確立が求められている。

【0004】また、通常の半導体チップ自体にはフレキ

シブル性が無く、ICカードなど薄型デバイスに搭載する際には、曲げ強度を高める必要がある。これは、ICカードのように携帯される場合には、収容時に曲げの力が加わる場合があるからである。従って、薄型デバイスに搭載されるLSIチップ等にもその放熱性及び機械的柔軟性の点から薄層化が求められる。

【0005】特開平9-312349号公報には、LSIチップのフレキシブル化の為に多孔質層による分離を利用した技術が記載されている。

【0006】具体的には図6(a)示すように半導体基体11上に多孔質層12を介してデバイス形成層10を設け、該デバイス形成層と保持基板16とを接着剤17を介して貼り合わせる。その後、半導体基体11と保持基板16との間に両者を引き離す方向の外力を与える。すると、機会的強度の弱い多孔質層12で分離が生じ、半導体基体11から保持基板16とともにデバイス形成層12が剥離する（図6(b)）。

【0007】次に剛性を有する保持基板16側に面方向の引っ張りによって延伸するダイシング用フィルム18を接合する。そして、ダイシング装置によってデバイス形成層側から切り込み溝19を形成するダイシング作業を行う（図6(c)）。その後、ダイシング用フィルムを面方向にのばして各チップに分断する。こうして、薄層化されたLSIチップが出来上がる。

【0008】

【発明が解決しようとする課題】しかしながら、上記LSIチップの薄層化技術では、分離工程が引っ張り力という外力により行われるので、予め形成されている半導体素子及び／又は半導体集積回路の一部に局所的に歪み等が加わりデバイス特性に影響を及ぼす場合が懸念される。

【0009】本発明の目的は上記点に鑑み、分離の際のデバイス形成層への影響を少なくした薄膜半導体装置、及びその製造方法を提供することにある。更に、デバイス形成層を薄膜化して、デバイス特性、とりわけ素子分離特性を向上することを目的とする。

【0010】

【課題を解決するための手段】本発明に係る薄膜半導体装置の製造方法は、半導体素子及び／又は半導体集積回路を備えた半導体膜を分離層上に有する部材を用意する工程、該部材を流体の圧力により該分離層で分離する分離工程、及び該分離工程後該半導体膜をチップ化するチップ化工程を有することを特徴とする。

【0011】流体の圧力により分離することで、分離の際に半導体素子等へ加わる局所的な応力を回避することができる。

【0012】ここで、前記部材は、半導体基板表面に多孔質層を形成し、且つ該多孔質層表面に前記半導体膜を形成した後、前記半導体素子及び／又は半導体集積回路を形成して得られたり、半導体基板表面に前記半導体素子及び／又は半導体集積回路を形成した後、該表面側か

ら所定深さにイオンを注入して前記分離層を形成して得られる。

【0013】また、前記分離工程後、前記半導体膜側に残留する分離層を除去してから前記チップ化工程を行ったり、あるいは前記分離工程後であって、且つ前記チップ化工程後に、前記半導体膜側に残留する分離層を除去する工程を行なうこともできる。

【0014】また、本発明に係る薄膜半導体装置の製造方法は、半導体素子及び／又は半導体集積回路を備えた半導体膜を分離層上に有する部材を用意する工程、該部材を所望の領域にチップ化するチップ化工程、及び該チップ化工程後該分離層で分離する工程を有することを特徴とする。

【0015】チップ化工程後に分離することで、良品チップについてのみ分離層による分離により薄層化することができる。ウエハ面積に依存することなく効率よく分離することができる。

【0016】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態につき図1を用いて説明する。

【0017】まず、図1(a)に示すように、半導体領域130上に分離層100を介して半導体素子及び／又は半導体集積回路140を備えた半導体膜110を有する部材120を用意する。上記半導体膜110に半導体素子及び／又は半導体集積回路140を形成する方法に関しては後述する。

【0018】そして、該部材120を分離層100で分離する。具体的には、分離層100側面に流体による圧力を印加する。印加の仕方としては、液体、あるいは気体からなる流体を高圧のジェットとして分離層100の側面に噴きつけたり、分離層に静圧を印加する。

【0019】分離に際し、部材120を支持部材300と接着層310を介して貼り合わせておいても良い（図1

(b)）。勿論、支持部材300に貼り合わせる工程は省略してもよい。接着層としては、エポキシ系接着剤や他の接着剤を用いることができる。

【0020】こうして、部材120は分離層100で分離される（図1(c)）。

【0021】次に、半導体膜110を所望の半導体素子及び／又は半導体集積回路毎にチップ化することで（図1(d)）、単数あるいは複数の薄膜半導体装置350が得られる。なお、図1(d)における切り込み溝の先端は、接着層310まで達しなくても良い。例えば、支持部材300を伸縮可能な材質にすることにより、110が完全に切れていなくても300を伸ばすことにより取り出すことができる。

【0022】薄膜半導体装置350に分離層100の一部111が残留する場合がある。分離工程後、チップ化工程の前に当該残留部分111を研磨、研削あるいはエッチング等により除去してもよい。研磨等行わず、水素を含む雰囲気中で熱処理してもよい。また、チップ化工程の後に、

薄膜半導体装置350の底面の残留部111を個々に除去してもよい。

【0023】チップ化後には、他の回路との接続、あるいはパッケージングを行うことができる。勿論、当該残留部分を残したまま、パッケージングを行ってもよい。即ち、図1(f)のように残留分離層111を介して支持基体170上に薄膜半導体装置350を載置したり、図1(g)のように、プラスチックカード上に移設することもできる。なお、180は封入用樹脂、190はワイヤ、200は封止樹脂／フィルム、210はプラスチックカードである。また、残留分離層はゲッタリングサイトになり得るので、プロセス中の金属汚染耐性が増す。

【0024】なお、図1(b)における領域500を拡大した図を図4に示す。

【0025】図4(a)はデバイス層140と支持部材300とを接着層310を介して貼り合わせた様子を示す。図4(b)は分離層100で分離が行われた場合の様子を示す。図4(c)は、支持基体300とデバイス層140が貼り合わされた状態でパッケージ台510に載置された様子を示す。515は接着層である。図4(d)はデバイス層140と支持部材300とを分離する様子を示す。このように、図1(d)でのチップ化の際に切り込み溝を支持部材300まで到達させておけば、図4(c)→(d)のように支持部材に貼り合せたまま薄膜半導体装置をパッケージ台に載せ、その後支持部材を取り除くということも可能である。図4(e)は具体的にパッケージ台510とデバイス層とを配線520で接続した場合の例を示す。図4(f)はICカード530に載置した場合の例である。なお、図4(e)、(f)ではデバイス層140をパッケージ台に対して上面に配置する場合を示したが、図4(g)、(h)のようにデバイス層140側を貼り合わせ面にしてもよい。

【0026】（部材、分離層）部材120の作製は主として、陽極化成による多孔質層を利用する方法、あるいは水素、窒素、若しくはヘリウム等の希ガスをイオン注入したイオン注入層を利用する方法がある。

【0027】前者による場合は、まずシリコン基板を陽極化成し、表面に分離層として機能する多孔質層を形成する。その後多孔質層上にCVD法等により半導体膜を形成した後、該半導体膜に通常の半導体製造プロセスを経て半導体素子及び／又は半導体集積回路を作製する。こうして部材120が得られる。

【0028】後者による場合は、シリコン基板（あるいはエピタキシャルウエハ）表面に、半導体素子及び／又は半導体集積回路を作製する。その後、当該素子等表面上に必要な応じて保護膜を形成した後、所望の深さに水素イオン注入し分離層として機能するイオン注入層を形成する。こうして部材120が得られる。なお、シリコン基板表面から所定の深さにイオン注入層を形成した後、基板表面側の領域にデバイスを形成しても良い。イオン

注入量が多い場合には、デバイス形成プロセスにおいて、剥離現象が生じることも考えられるので、注入量を少なくして（その後必要に応じてアニールすることにより）、デバイス形成プロセス中に剥離が生じないように設計する。

【0029】（分離層）なお、陽極化成を用いて多孔質層を形成する場合には、当該多孔質層を多孔度の異なる複数の層で構成することもできる。例えば、半導体領域130側から高多孔度層、その上に低多孔度層と2層構成にしても良いし、あるいは半導体領域130側から第1の低多孔度層、高多孔度層、第2の低多孔度層と3層構成にすることもできる。高多孔度層の場合の多孔度は、10%から90%、低多孔度層の場合の多孔度は、0%から70%の範囲で利用可能である。多孔度の異なる複数の層の形成は、陽極化成の際の電流密度を変えたり、化成溶液の種類あるいは濃度を変えることで実現できる。

【0030】陽極化成により多孔質層を形成した場合には、該多孔質層上へ半導体膜110を成長させるに先だって、多孔質の孔の内壁に窒化膜あるいは酸化膜などの保護膜を設ける保護膜形成工程、や水素を含む雰囲気中での熱処理工程を行うのがよい。勿論、上記保護膜形成工程後、前記熱処理工程を行うことも好ましい。

【0031】更に、CVD法により半導体膜110を成長させる場合には、所定の厚み（例えば10nm）までは、20nm/min.以下の低成長速度で行うのがよい。

【0032】（半導体膜）また、半導体膜110としては、非多孔質単結晶シリコン薄膜や、GaAs、InP、GaN等の化合物半導体膜を用いることができる。半導体膜が単結晶シリコンの場合に原料ガスとして、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiH}_4$ 、あるいはHClガスを添加しても良い。形成方法はCVD法に限らず、MBE法、スパッター法等も可能である。

【0033】なお、多孔質層を水素を含む雰囲気中で第1の熱処理した後、薄膜を成長させるに先だって当該第1の熱処理温度よりも高い温度で第2の熱処理することも好ましいものである。第1の熱処理温度としては、800℃～1000℃、第2の熱処理温度として、900℃～融点の範囲で利用できる。これにより多孔質層表面の孔の封止が十分行われるのである。例えば、第1の熱処理温度を950℃で行い、第2の熱処理を1100℃で行うことができる。

【0034】（部材）また、部材120としては、CZ法、MCZ法、あるいはFZ法などで作製された単結晶シリコンウエハのみならず、基板表面が水素アニール処理されたウエハ、あるいはエピタキシャルシリコンウエハなどを用いることができる。勿論、シリコンに限らずGaAs基板やInP基板等の化合物半導体基板も用いることができる。

【0035】（半導体素子及び／又は半導体集積回路）また、半導体素子及び／又は半導体集積回路140としては、CMOS、バイポーラトランジスタ、ダイオード、コイ

ル、キャパシタ等の素子、DRAM、マイクロプロセッサ、ロジックIC、メモリ等の半導体集積回路を作製することができる。素子や回路の用途としては、電子回路、発振回路、受・発光素子、光導波路、各種センサーなどを含む。

【0036】素子分離として用いるトレンチあるいはLOCOS（局所酸化）を多孔質層まで達するように行うことも好ましいものである。

【0037】なお、個々のチップになる当該チップ間を、LOCOSあるいはメサエッチングし、チップ間には半導体膜が存在しないようにしておいてもよい。

【0038】（分離）分離方法としては、分離層側面に液体や気体等の流体を噴きつける、即ち高圧の流体ジェットを噴きつけることにより行うことができる。

【0039】流体としては、液体であれば水、エッチング液、アルコールなど、気体であれば空気、窒素ガス、アルゴンガス等を用いることができる。分離の際に超音波振動を印加してもよい。

【0040】分離に際して、分離層である多孔質層やイオン注入層が部材の側面に表出していない場合には、当該多孔質層を表出させてもよい。

【0041】静圧下（実質的に静止した流体による圧力下）で分離するには、例えば次のような圧力印加機構が必要になる。

【0042】即ち、部材の周辺部の少なくとも一部を取り囲んで密閉空間を構成するための密閉空間構成部材、及び前記密閉空間内に外部の空間よりも高い圧力が印加できる圧力印加機構である。

【0043】とりわけ分離層を水素、窒素、He、希ガス等のイオン注入により作製した場合には、400℃から600℃程度の熱処理を施すことで、イオン注入により形成される微小気泡層（マイクロバブル層、マイクロキャビティ層）が凝集するので流体による圧力に加えて斯かる現象を利用して分離することもできる。CO<sub>2</sub>レーザー等により加熱することもできる。

【0044】分離層側から行なうチップ化は、通常用いられるダイシング装置を用いることができる他、エッチングやレーザーアブレーション、超音波カッター、高圧ジェット（例えば、ウォータージェット）なども用いることができる。エッチングにより行う場合は、 $\text{HF}+\text{H}_2\text{O}$ 、 $\text{HF}+\text{HNO}_3$ 、アルカリ溶液などのエッチング液を用いることができる。レーザーとしては、YAGレーザー、CO<sub>2</sub>レーザー、エキシマレーザー等である。

【0045】（第2の実施形態）次に、本発明の第2の実施形態につき図2を用いて説明する。

【0046】第1の実施形態と同様にして、半導体領域130上に分離層100を介して半導体素子及び／又は半導体集積回路140を備えた半導体膜110を有する部材120を用意する（図2(a)）。

【0047】必要に応じて部材120を接着層310を介して

支持部材300に貼り合わせる(図2(b))。

【0048】次に、部材120に半導体領域130側から切り込み溝400を入れチップ化工程を行なう。切り込み溝の先端が半導体膜110と支持部材300の界面付近あるいは、接着層310付近まで到達していることが望ましい。そして、部材120からチップ化された微小半導体領域500を分離層115で分離する。こうして薄膜半導体装置が製造される。

【0049】なお、図2(d)～(f)は薄膜半導体装置350をパッケージングする方法の一例を示したものである。図2(d)に示すように、微小半導体領域500をプラスチックカード上に載置する。そして、分離層115で分離した後、樹脂200で封止する。勿論この方法に限ることなく、チップ化工程の後、図3(a)の様に微小半導体領域500を取り出し、分離層115で分離した後(図3(b))、基板215に載置することも可能である。この場合、図3(c)の様に半導体素子側を上面にすることも、また図3(d)の様に張り合わせ面側にすることも可能である。

【0050】分離化工程は、既にチップ化した後すなわ

電流密度	: 7 (mA・cm <sup>-2</sup> )
陽極化成溶液	: HF:H <sub>2</sub> O:C <sub>2</sub> H <sub>5</sub> OH=1:1:1
時間	: 11 (分)
多孔質Si層の厚み	: 12 (μm)

多孔質Si層は、当該多孔質Si層上に高品質エピタキシャルSi層を形成させることができ、さらに分離層として用いることができるよう多孔度を調整した。具体的には、20%であった。なお、多孔質Si層の厚さは、上記厚さに限らず、数百μmから0.1μm程度まで使用できる。

【0054】この単結晶Si基板を400℃の酸素雰囲気中で1時間酸化した。これにより多孔質Siの孔の内壁は熱酸化膜で覆われた。その後、この多孔質Si層の表面をフッ酸に浸漬し、孔の内壁の酸化膜を残して、多孔質Si層の表面の酸化膜のみ除去した。次に多孔質Si層上にCVD (Chemical Vapor Deposition) 法により単結晶Si層を3μmエピタキシャル成長した。成長条件は以下の通りである。

ソースガス	: SiH <sub>2</sub> Cl <sub>2</sub> /H <sub>2</sub>
ガス流量	: 0.5/180 l/min
ガス圧力	: 80 Torr
温度	: 950℃
成長速度	: 0.3 μm/min

エピタキシャル成長に先立って、水素含有雰囲気中の熱処理を行った。これは、表面孔を封止するためである。この熱処理に加えて、微小なSi原子を原料ガスなどにより添加し、その表面孔封止用の原子を補っても良い。

【0055】こうして得られる部材は、通常用いられているエピウエハと同一のウエハとして扱うことが出来る。異なるのは、エピ層の下に多孔質Si層が形成されて

ち、シリコンウエハに比べて、分離面積を非常に小さくした後行われるので、引っ張り、圧縮、剪断等の外力を用いても構わないが、好ましくは記述の流体を用いて分離するのがよい。分離層115に熱を加えることで分離することも可能である。特に分離層が水素等のイオン注入層により形成されている場合には、レーザー等により局所的な加熱を行なうことも好ましい。

【0051】分離層、半導体膜、部材、半導体素子及び/又は半導体集積回路に関しては、上記実施形態1で説明したことをそのまま適用できる。

【0052】本実施形態のように、チップ化工程後に分離工程を行なうことで、大面积を一度に分離する場合に比べて、半導体素子への局所的な応力集中を低減することができる。更には、良品のチップについてのみ分離を行なうことで、歩留まりの向上にもつながる。

【0053】(実施例1) 比抵抗0.01Ω・cmのP型の単結晶Si基板を用意し、HF溶液中において基板表面の陽極化成を行った。陽極化成条件は以下の通りであった。

いることのみである。このエピ層に、マイクロプロセッサ、ロジックIC、メモリ、等の回路を作製した。LSIの作製は、通常と全く同じ工程を通すことにより、従来と同一の性能を持つLSIを作製できた。なお、エピタキシャル成長後、デバイス領域形成に先だって、水素雰囲気中で熱処理することも好ましいものである。

【0056】多孔質Siの残留Si領域は空乏化しており、高抵抗化されている。これにより一種SOI的なデバイスの高速化、低消費電力化が実現される。

【0057】なお、素子分離としてトレンチを用いることにより、チップ面積の縮小が達成されウエハ内の取れ数も増大する。また、トレンチあるいはLOCOSを多孔質Si層まで達するようにすることにより、多孔質Si層の高抵抗性と合わせて、素子間絶縁性を達成することが出来た。

【0058】こうして出来たLSIを通常は裏面研削およびダイシングによるチップ化を行うのであるが、ここでは、前もって作製してあった多孔質Si層でウエハ全面を、基板側とLSI側に分離する。

【0059】分離は流体の圧力を利用した。具体的には、多孔質Si層側面に高圧のウォータージェットを噴きつけて分離を行なった。

【0060】なお流体としては以下のものを用いることができる。気体、液体、あるいは、それらに固体の粒子・粉体を含むものがある。この実施例では、ウォータージェット(以下「WJ」と記述する)を用いたが、エア

ージェット、窒素ガスジェット、その他気体ジェット、水以外の液体ジェット、氷やプラスチック片、研磨材の混ざった流体ジェット、あるいはこれらの静圧をかけることも可能である。流体は非常に微小な隙間へも流入し内部の圧力を上げることが可能で、外圧を分散して印加できることが特徴である。また、一部に極端に圧力がかからないことから、もっとも分離しやすい個所を選択的に分離させるという特徴がある。本発明のように、半導体デバイスがすでに作製されている薄層全面を分離するには、最適の手段である。

【0061】なお、分離の際には表面側を他の支持部材で支えた方が好ましい。たとえば、フレキシブルなシート、ガラス基板、プラスチック基板、金属基板、他の半導体基板がある。これらの支持部材を接着剤でデバイス形成した基板の表面側と貼りあわせる。

【0062】支持部材で支えた第1の基板のエッジ付近に流体を印加し、多孔質Si層を全面で分離する。流体を印加する際には、第1の基板エッジに多孔質Siを表出させておいた方が好ましい。さらには、多孔質Si部が凹状になるように表出させておくと、より流体の圧力を多孔質Si層に効率よく印加することができる。

【0063】デバイス層側に残留した多孔質Siは、除去してもしなくても良い。

【0064】その後、デバイス層側をダイシングによってチップサイズに切り、それぞれのチップのパッケージングを行なった。分離面をパッケージ台に乗せて、表面側からワイヤーボンディングしても良いし、表面を伏せてパッケージしてもよい。図4(a)にその模式図を示す。510はパッケージ台、520は配線、141はトレンチ分離、142はバイポーラトランジスタ、143はウエル分離、

電流密度	: 8 (mA · cm <sup>-2</sup> )
陽極化成溶液	: HF : H <sub>2</sub> O : C <sub>2</sub> H <sub>5</sub> OH = 1 : 1 : 1
時間	: 5 (分)
多孔質Si層の厚み	: 6 (μm)

その後、以下の条件で陽極化成を行った。

電流密度	: 33 (mA · cm <sup>-2</sup> )
陽極化成溶液	: HF : H <sub>2</sub> O : C <sub>2</sub> H <sub>5</sub> OH = 1 : 1 : 1
時間	: 80 (秒)
多孔質Siの厚み	: 3 (μm)

こうして、単結晶シリコン基板側から多孔度45%の高出力層、更にその上に20%の低出力層が形成された。その後、実施例1と同じ条件によりエピタキシャルシリコン層を低出力層上に形成し、更に集積回路等を形成した。

【0071】その後、多孔質シリコン層に水を噴射して基板を分離することができた。分離は、上述の2層の多孔質層の界面付近で生じた。

【0072】なお、2層の多孔質層の厚さは、6μm/3μmの構成でなくてもよく、陽極化成条件を変えることによって、厚さを可変させることができる。また陽極化成

144はpMOSトランジスタ、145はnMOSトランジスタである。141のトレンチ分離を分離層100まで達するように行なっても良い。

【0065】プラスチックカードに直接設置することで、ICカードを作製できる。

【0066】図4(b)はICカード530にデバイス層側を上面に設置した例を、図4(c)はデバイス層側を下面にした例を示している。

【0067】パッケージ台をヒートシンクとして用いれば、従来のバックグラインダー方式に比較して格段の熱放散性を有する。バックグラインダーによる裏面の薄層化は、通常数百ミクロンであるが、本発明では、[表面のエピ層の厚さ+多孔質Siの一部の厚さ(合計<10ミクロン)]しか残留しないため、デバイスの熱発生源とヒートシンクの距離が狭まり、熱放散性が格段に向上する。なお、OEIC (Optoelectronic Integrated Circuits) をエピ層に作製して、光透過性基板あるいは光導波路にパッケージすることもできる。なお、チップ化するには、10cm×10cm以下、好ましくは5cm×5cm以下、更に好ましくは2cm×2cm以下であることが好ましい。

【0068】なお、分離して残った単結晶Si基板は、必要に応じて表面再研磨、エッチング、水素を含む雰囲気下での熱処理等を行い、再度同じ工程に投入できた。あるいは、別目的の基板として利用することもできる。

【0069】(実施例2) 実施例1においては、多孔質層は1層であったが、本実施例においては、多孔度の異なる2層構成の多孔質層とした。

【0070】まず、シリコン基板表面の陽極化成を以下の条件で行った。

液は、HF : H<sub>2</sub>O : C<sub>2</sub>H<sub>5</sub>OH = 1:1:1でなくても良い。また、エタノールの代わりにIPA (イソプロピルアルコール) 等の他のアルコールを用いても良い。アルコールは界面活性剤として反応泡のウエハ表面付着を防止することを目的としているので、アルコールでなくて他の界面活性剤でもよいし、界面活性剤を添加せずに超音波で表面付着泡を除去してもよい。

【0073】分離後、チップ化工程は、実施例1と同様とすることで、薄膜半導体装置を作製することができた。

【0074】(実施例3) 抵抗率14Ω · cmのP型の



単結晶Si基板を用意した。面方位は<100>であった。この単結晶Si基板表面に、マイクロプロセッサ、ロジックIC、メモリ等の回路形成層を作製した。

【0075】その後、回路形成層側から、所定の深さ（本実施例では、表面側から3μmの深さ）に水素イオンを注入してイオン注入層を形成した。注入量は、数E16からE17/cm<sup>2</sup>であった。注入に際して、最表面にCVD法によりSiO<sub>2</sub>保護膜を形成しておいてもよい。

【0076】次に、デバイス形成層と支持部材としてのプラスチック基板（あるいはガラス基板、Si基板、フレ

電流密度	: 8 (mA · cm <sup>-2</sup> )
陽極化成溶液	: HF : H <sub>2</sub> O : C <sub>2</sub> H <sub>5</sub> OH = 1 : 1 : 1
時間	: 5 (分)
多孔質Si層の厚み	: 6 (μm)

その後、以下の条件で陽極化成を行った。

電流密度	: 33 (mA · cm <sup>-2</sup> )
陽極化成溶液	: HF : H <sub>2</sub> O : C <sub>2</sub> H <sub>5</sub> OH = 1 : 1 : 1
時間	: 80 (秒)
多孔質Siの厚み	: 3 (μm)

こうして、単結晶シリコン基板側から多孔度45%の高多孔度層、更にその上に20%の低多孔度層が形成された。その後、実施例1と同じ条件によりエピタキシャルシリコン層を低多孔度層上に形成し、更に集積回路等を形成した。次に、支持部材としてのプラスチック基板（あるいはガラス基板、Si基板、フレキシブルフィルム、接着テープでもよい。）にデバイス層側を接着剤で貼り合わせた後、チップ化のためにエピタキシャル層と反対側、すなわち単結晶シリコン基板側からダイシングすなわちチップ化を行い、微小領域に分離した。

【0079】次に、当該微小領域を真空ピンセット等の保持手段で保持しつつ、前述の接着剤を必要に応じて溶かす等してチップを取り出し取り出し、デバイス層側が貼り合わせ面になるようにしてパッケージ台に載せた。その後、引っ張り力を加え分離層で分離した。こうしてパッケージ台に薄膜半導体装置を形成できた。このチップをプラスチックの樹脂で封止し、ICカードを作製した。

【0080】

【発明の効果】本発明によれば、薄膜化での分離工程を流体を用いて分離したり、シリコンウエハを所望の微小領域にチップ化した後に分離工程を行なうことで、分離

キシブルフィルム、接着テープでもよい。）を接着剤で貼り合わせた。その後、窒素ガスをイオン注入層側面に噴きつけて分離工程を行なった。

【0077】そして、実施例1と同様にチップ化工程を行いICカードを作製した。

【0078】（実施例4）比抵抗0.01Ω · cmのP型の単結晶Si基板を用意し、HF溶液中において基板表面の陽極化成を行った。陽極化成条件は以下の通りであった。

の際のデバイス形成層への影響を少なくした薄膜半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の実施形態の一例を示す模式的断面図である。

【図2】本発明の実施形態の一例を示す模式的断面図である。

【図3】本発明における実施形態の一例を示す為の模式的断面図である。

【図4】本発明における実施形態の一例を示す模式的断面図である。

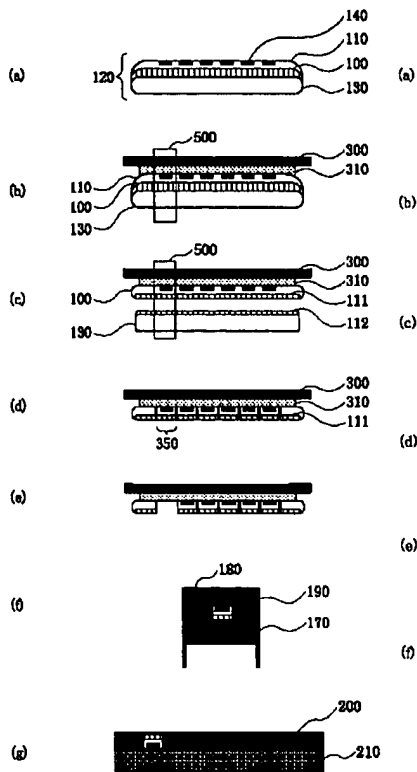
【図5】本発明における実施形態の一例を示す模式的断面図である。

【図6】従来例を示すための模式的断面図である。

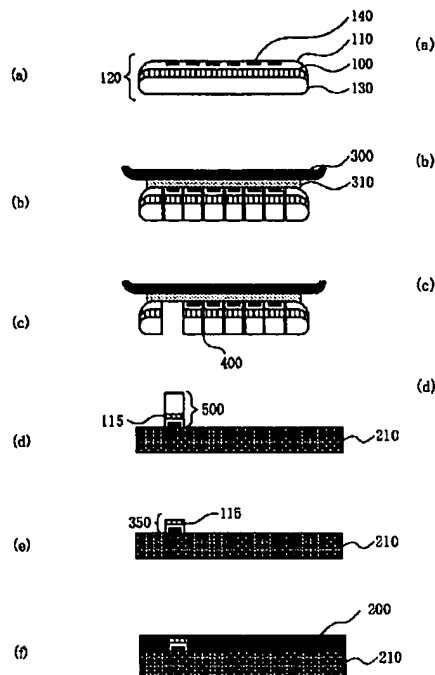
【符号の説明】

100	分離層
101	残留分離層
110	半導体膜
120	部材
130	半導体領域
140	半導体素子又は半導体集積回路

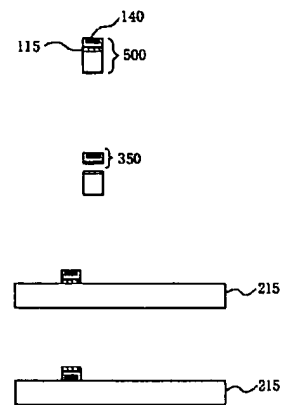
【図1】



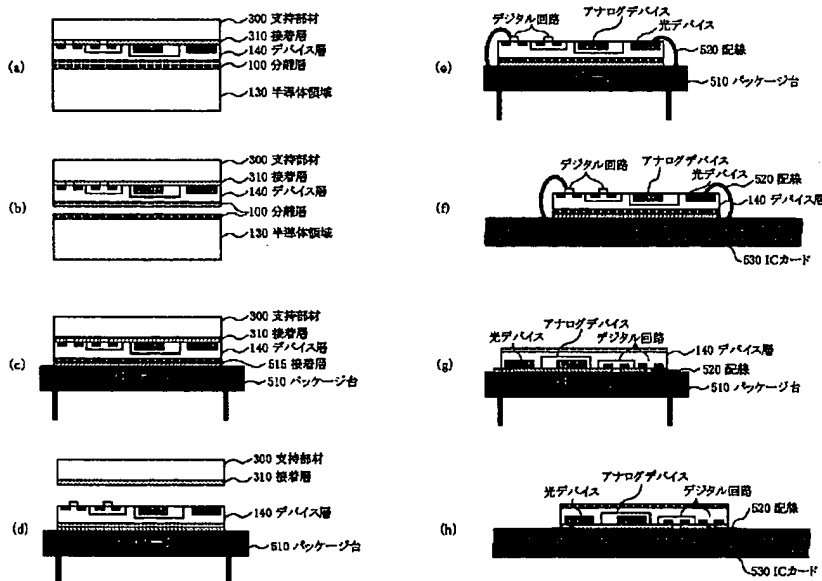
【図2】



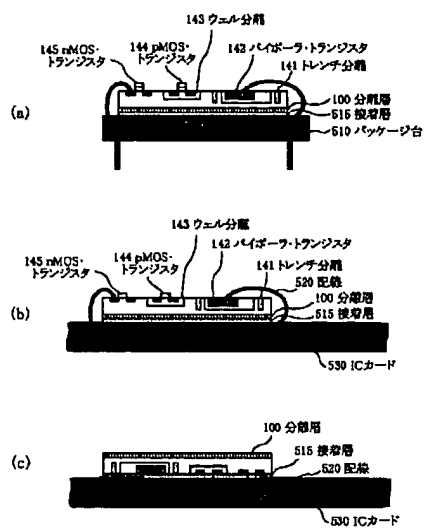
【図3】



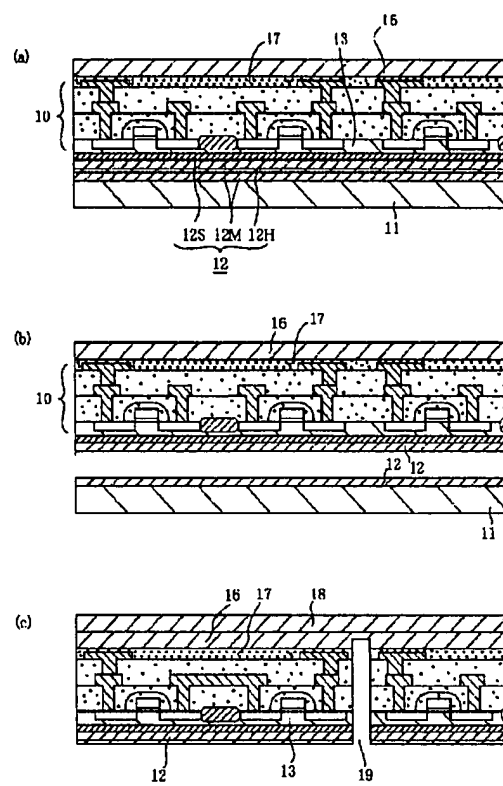
【図4】



【図5】



【図6】



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] A manufacture method of thin film semiconductor equipment characterized by having a production process which prepares a member which has a semiconductor film equipped with a semiconductor device and/or a semiconductor integrated circuit on a detached core, a separation production process which separates this member by this detached core with a pressure of a fluid, and a chip-ized production process which chip-izes this after [ a separation production process ] this semiconductor film.

[Claim 2] Said member is the manufacture method of thin film semiconductor equipment according to claim 1 which forms said semiconductor device and/or semiconductor integrated circuit, and is obtained after forming a porous layer in the semiconductor substrate surface and forming said semiconductor film in this porous layer surface.

[Claim 3] Said member is the manufacture method of thin film semiconductor equipment according to claim 1 which pours ion into the predetermined depth from this surface side, forms said detached core, and is obtained after forming said semiconductor device and/or semiconductor integrated circuit in the semiconductor substrate surface.

[Claim 4] Said semiconductor substrate is the manufacture method of claim 2 which is a single crystal silicon substrate or a compound semiconductor substrate, or thin film semiconductor equipment given in three.

[Claim 5] Said separation production process is the manufacture method of thin film semiconductor equipment according to claim 1 performed by impressing a pressure by fluid to said detached core.

[Claim 6] A manufacture method of thin film semiconductor equipment according to claim 1 of performing said chip-ized production process after removing a detached core which remains after said separation production process and to said semiconductor film side.

[Claim 7] A manufacture method of thin film semiconductor equipment according to claim 1 of being after said separation production process, and performing a production process which removes a detached core which remains after said chip-ized production process at said semiconductor film side.

[Claim 8] A manufacture method of thin film semiconductor equipment characterized by having a production process which prepares a member which has a semiconductor film equipped with a semiconductor device and/or a semiconductor integrated circuit on a detached core, a chip-ized production process chip-ized to a field of a request of this member, and a production process separated by this after [ a chip-ized production process ] this detached core.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention -- thin film semiconductor equipment and its manufacture method -- being concerned.

[0002]

[Description of the Prior Art] In order to carry out lamination of the LSI chip, after forming an integrated circuit etc. in a silicon substrate, the technology which carries out lamination with a grinder from a substrate rear-face side is known.

[0003] However, the layer in which an integrated circuit etc. is formed is only the surface of a silicon substrate, and grinding of most fields will be carried out and it will be thrown away. Now, it cannot be said as effective use of a limited resource. On the other hand, establishment of the technology in which we are anxious about chip exoergic density becoming large by leaps and bounds with detailed-izing and high integration of a semiconductor device, and it carries out lamination of the LSI chip immediately is called for.

[0004] Moreover, in case there is no flexible nature in the usual semiconductor chip itself and it carries in thin devices, such as an IC card, it is necessary to raise flexural strength. This is because the force of bending may be added at the time of hold, when carried like an IC card. Therefore, the LSI chip carried in a thin device is asked for lamination from the point of the thermolysis nature and mechanical flexibility.

[0005] The technology which used separation by the porous layer for the sake for flexible-izing of an LSI chip is indicated by JP,9-312349,A.

[0006] The device cambium 10 is formed through a porous layer 12 on the semiconductor base 11 drawing 6 (a) So that it may specifically be shown, and this device cambium and the maintenance substrate 16 are stuck through adhesives 17. Then, the external force of the direction which pulls both apart is given between the semiconductor base 11 and the maintenance substrate 16. Then, separation arises in the porous layer 12 with weak opportunity-reinforcement, and the device cambium 12 exfoliates with the maintenance substrate 16 from the semiconductor base 11 (drawing 6 (b)).

[0007] Next, the film 18 for dicing extended by hauling of the direction of a field is joined to the maintenance substrate 16 side which has rigidity. And the dicing activity which forms the slitting slot 19 from a device cambium side with dicing equipment is done (drawing 6 (c)). Then, the film for dicing is lengthened in the direction of a field, and it divides for each chip. In this way, the LSI chip by which lamination was carried out is done.

[0008]

[Problem(s) to be Solved by the Invention] However, with the lamination technology of the above-mentioned LSI chip, since a separation production process is performed by the external force of the hauling force, we are anxious about the case where distortion etc. joins locally some of semiconductor devices currently formed beforehand and/or semiconductor integrated circuits, and a device property is affected.

[0009] The purpose of this invention is to offer the thin film semiconductor equipment which lessened effect of the device cambium on [ in the case of separation ], and its manufacture method in view of the point describing above. Furthermore, a device cambium is thin-film-ized and it aims also at a device property and especially improving an isolation property.

[0010]

[Means for Solving the Problem] A manufacture method of thin film semiconductor equipment concerning this invention is characterized by having a production process which prepares a member which has a semiconductor film equipped with a semiconductor device and/or a semiconductor integrated circuit on a detached core, a separation production process which separates this member by this detached core with a pressure of a fluid, and a chip-ized production process which chip-izes this after [ a separation production process ] this semiconductor film.

[0011] By dissociating with a pressure of a fluid, local stress which joins a semiconductor device etc. in the case of separation is avoidable.

[0012] Here, after forming said semiconductor device and/or semiconductor integrated circuit, being obtained, after forming a porous layer in the semiconductor substrate surface and forming said semiconductor film in this porous layer surface, or forming said semiconductor device and/or semiconductor integrated circuit in the semiconductor substrate surface, said member pours ion into the predetermined depth from this surface side, forms said detached core and is obtained.

[0013] Moreover, after removing a detached core which remains after said separation production process and to said semiconductor film side, said chip-ized production process can be performed, or it is after said separation production process, and a production process which removes a detached core which remains after said chip-ized production process at said semiconductor film side can also be performed.

[0014] Moreover, a manufacture method of thin film semiconductor equipment concerning this invention is characterized by having a production process which prepares a member which has a semiconductor film equipped with a semiconductor device and/or a

semiconductor integrated circuit on a detached core, a chip-ized production process chip-ized to a field of a request of this member, and a production process separated by this after [ a chip-ized production process ] this detached core.

[0015] By dissociating after a chip-ized production process, lamination can be carried out according to separation by detached core only about an excellent article chip. It can dissociate efficiently, without being dependent on wafer area.

[0016]

[Embodiment of the Invention] (1st operation gestalt) It explains using drawing 1 per 1st operation gestalt of this invention.

[0017] First, as shown in drawing 1 (a), the member 120 which has the semiconductor film 110 equipped with the semiconductor device and/or the semiconductor integrated circuit 140 through the detached core 100 on the semiconductor region 130 is prepared. About the method of forming a semiconductor device and/or a semiconductor integrated circuit 140, it mentions later on the above-mentioned semiconductor film 110.

[0018] And this member 120 is separated by the detached core 100. Specifically, the pressure by the fluid is impressed to the detached core 100 side. As the method of impression, it spurts [ a liquid / which consists of a gas ] out on the side of a detached core 100 as high-pressure jet, or a static pressure is impressed to a detached core.

[0019] On the occasion of separation, a member 120 may be stuck through the supporter material 300 and a glue line 310 (drawing 1 (b)). Of course, the production process stuck on the supporter material 300 may be skipped. Epoxy system adhesives and other adhesives can be used as a glue line.

[0020] In this way, a member 120 is separated by the detached core 100 ( drawing 1 (c)).

[0021] Next, ( drawing 1 (d)), an unit, or two or more thin film semiconductor equipments 350 are obtained by chip-izing for every semiconductor device of a request of the semiconductor film 110, and/or semiconductor integrated circuit. In addition, it is not necessary to attain the tip of the slitting slot in drawing 1 (d) to a glue line 310. For example, by making it the quality of the material which can expand and contract the supporter material 300, even if 110 has not run out completely, it can take out by lengthening 300.

[0022] A part of detached core 100 111 may remain to thin film semiconductor equipment 350. Polishing, grinding, or etching may remove the residual portion 111 concerned before a chip-ized production process after a separation production process. Polishing etc. may not be performed but you may heat-treat in the ambient atmosphere containing hydrogen. Moreover, the residual section 111 of the base of thin film semiconductor equipment 350 may be separately removed after a chip-ized production process.

[0023] After chip-izing, connection with other circuits or packaging can be performed. Of course, packaging may be performed, with the residual portion concerned left. That is, like drawing 1 (f), through the residue delaminate 111, thin film semiconductor equipment 350 can be laid on the support base 170, or it can also transfer on a plastic card like drawing 1 (g). In addition, for 180, as for a wire and 200, the resin for enclosure and 190 are [ closure resin / film, and 210 ] plastic cards. Moreover, since residue delaminate can become a gettering site, its metal contamination resistance in a process increases.

[0024] In addition, drawing which expanded the field 500 in drawing 1 (b) is shown in drawing 4.

[0025] Drawing 4 (a) shows signs that the device layer 140 and the supporter material 300 were stuck through the glue line 310. Drawing 4 (b) shows a situation when separation is performed by the detached core 100. Drawing 4 (c) shows signs that it was laid in the par cage base 510 where the support base 300 and the device layer 140 are stuck. 515 is a glue line. Drawing 4 (d) shows signs that the device layer 140 and the supporter material 300 are separated. Thus, if the slitting slot is made to reach to the supporter material 300 in the case of chip-izing by drawing 1 (d), it is also possible to put thin film semiconductor equipment on a package base, stuck on supporter material like drawing 4 (c) -> (d), and to remove supporter material after that. Drawing 4 (e) shows the example at the time of connecting the package base 510 and a device layer with wiring 520 concretely. Drawing 4 (f) is an example at the time of laying in IC card 530. In addition, although drawing 4 (e) and (f) showed the case where the device layer 140 was arranged on the upper surface to a package base, the device layer 140 side may be made into a lamination side like drawing 4 (g) and (h).

[0026] (A member, detached core) Production of a member 120 has a method of using the ion-implantation layer which mainly carried out the ion implantation of the rare gas, such as a method of using the porous layer by anodization or hydrogen, nitrogen, or helium.

[0027] When based on the former, anodization of the silicon substrate is carried out first, and the porous layer which functions on the surface as a detached core is formed. After forming a semiconductor film with a CVD method etc. on a porous layer after that, a semiconductor device and/or a semiconductor integrated circuit are produced through the usual semiconductor manufacture process on this semiconductor film. In this way, a member 120 is obtained.

[0028] When based on the latter, a semiconductor device and/or a semiconductor integrated circuit are produced on the silicon substrate (or epitaxial wafer) surface. Then, after forming a protective coat if needed on the surfaces, such as the element concerned, the ion-implantation layer which carries out hydrogen ion impregnation and functions on the desired depth as a detached core is formed. In this way, a member 120 is obtained. In addition, a device may be formed in the field by the side of the substrate surface after forming an ion-implantation layer in the predetermined depth from a silicon substrate surface. Since it is also considered in a device formation process that an exfoliation phenomenon arises when there are many amounts of ion implantations, an injection rate is lessened (it anneals if needed after that), and it designs so that exfoliation may not arise in a device formation process.

[0029] (Detached core) In addition, when forming a porous layer using anodization, the porous layer concerned can also consist of two or more layers from which porosity differs. For example, you may make it a low porosity layer and a two-layer configuration a high porosity layer and on it from a semiconductor region 130 side, or it can also be made the 1st low porosity layer, a high porosity layer, the 2nd low porosity layer, and 3 lamination from a semiconductor region 130 side. The porosity in the case of a low porosity layer of the porosity in the case of a high porosity layer is available in 0 to 70% of range 10% to 90%. that formation of two or more layers from which porosity differs changes the current density in the case of anodization \*\*\*\* -- formation -- it is realizable by changing the class or concentration of a solution.

[0030] When a porous layer is formed by anodization, it is good to precede growing up the semiconductor film 110 into up to this porous layer, and to perform the protective coat formation production process of preparing protective coats, such as a nitride or an oxide film, in the wall of a porous hole, and the heat treatment process in the inside of the ambient atmosphere containing \*\*\*\*\*. Of course, it is also desirable after the above-mentioned protective coat formation production process to perform said heat treatment

process.

[0031] Furthermore, when growing up the semiconductor film 110 with a CVD method, predetermined thickness (for example, 10nm) is good to carry out at the low-growth speed below 20 nm/min.

[0032] (Semiconductor film) As a semiconductor film 110, compound semiconductor films, such as GaAs, and InP, GaN, can be used again. [ a nonvesicular single-crystal-silicon thin film, and ] When a semiconductor film is single crystal silicon, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub> and SiH<sub>4</sub>, or HCl gas may be added as material gas. the formation method -- not only a CVD method but MBE -- law, a sputtering technique, etc. are possible.

[0033] In addition, after the 1st heat-treats a porous layer in the ambient atmosphere containing hydrogen, it is also desirable that precede to grow up a thin film and the 2nd heat-treats at a temperature higher than the 1st heat treatment temperature concerned. As 1st heat treatment temperature, it can use in the range of 900 degrees C - the melting point as 800 degrees C - 1000 degrees C and 2nd heat treatment temperature. Thereby, the closure of the hole on the surface of a porous layer is performed enough. For example, 1st heat treatment temperature can be performed at 950 degrees C, and 2nd heat treatment can be performed at 1100 degrees C.

[0034] (Member) again -- as a member 120 -- a CZ process and MCZ -- the wafer with which hydrogen annealing treatment not only of the single crystal silicon wafer produced by law or the FZ method but the substrate surface was carried out, or an epitaxial silicon wafer can be used. Of course, not only silicon but compound semiconductor substrates, such as a GaAs substrate and an InP substrate, can be used.

[0035] (A semiconductor device and/or semiconductor integrated circuit) As a semiconductor device and/or a semiconductor integrated circuit 140, semiconductor integrated circuits, such as elements, such as CMOS, a bipolar transistor, diode, a coil, and a capacitor, DRAM, a microprocessor, a logic IC, and memory, are producible again. As a use of an element or a circuit, an electronic circuitry, an oscillator circuit, a carrier and a light emitting device, optical waveguide, various sensors, etc. are included.

[0036] It is also desirable to carry out so that the trench or LOCOS (partial oxidation) used as isolation may be attained to a porous layer.

[0037] In addition, LOCOS(ing) or mesa etching of between the chips concerned which turn into each chip is carried out, and you may make it a semiconductor film not exist between chips.

[0038] (Separation) It can carry out by high-pressure spurting out on the detached core side, such as a liquid and a gas, namely, fluid spurting out as the separation method.

[0039] If it is a liquid and water, an etching reagent, alcohol, etc. are gases as a fluid, air, nitrogen gas, argon gas, etc. can be used. Supersonic vibration may be impressed in the case of separation.

[0040] When the porous layer or ion-implantation layer which are a detached core have not expressed on the side of a member on the occasion of separation, the porous layer concerned may be made to express.

[0041] In order to dissociate under a static pressure (under the pressure by the fluid which stood it still substantially), the following pressure impression devices are needed.

[0042] That is, they are a closed-space configuration member for surrounding a part of periphery [ at least ] of a member, and constituting a closed space, and the pressure impression device in which a pressure higher than external space can be impressed in said closed space.

[0043] When a detached core is especially produced by ion implantations, such as hydrogen, nitrogen, helium, and rare gas, since the minute air-bubbles layer (a microbubble layer, micro cavity layer) formed of an ion implantation condenses, in addition to the pressure by the fluid, it can also dissociate using this phenomenon by performing heat treatment of 400 to about 600 degrees C. It can also heat by a CO<sub>2</sub> laser etc.

[0044] Chip-ization performed from a detached core side can use the dicing equipment usually used, and also can use etching, laser ablation, an ultrasonic cutter, high-pressure jet (for example, water jet), etc. When etching performs, etching reagents, such as HF+H<sub>2</sub>O<sub>2</sub>, HF+HNO<sub>3</sub>, and an alkali solution, can be used. As laser, they are a YAG laser, a CO<sub>2</sub> laser, an excimer laser, etc.

[0045] (2nd operation gestalt) Next, it explains using drawing 2 per 2nd operation gestalt of this invention.

[0046] The member 120 which has the semiconductor film 110 equipped with the semiconductor device and/or the semiconductor integrated circuit 140 through the detached core 100 on the semiconductor region 130 like the 1st operation gestalt is prepared (drawing 2 (a)).

[0047] A member 120 is stuck on the supporter material 300 through a glue line 310 if needed (drawing 2 (b)).

[0048] Next, the slitting slot 400 is put into a member 120 from a semiconductor region 130 side, and a chip-ized production process is performed. It is desirable for the tip of a slitting slot to have reached near the interface of the semiconductor film 110 and the supporter material 300 or up to the glue line 310 neighborhood. And the chip-ized minute semiconductor region 500 is separated from a member 120 by the detached core 115. In this way, thin film semiconductor equipment is manufactured.

[0049] In addition, drawing 2 (d) - (f) shows an example of the method of carrying out packaging of the thin film semiconductor equipment 350. As shown in drawing 2 (d), the minute semiconductor region 500 is laid on a plastic card. And after dissociating by the detached core 115, it closes by resin 200. Without, of course restricting to this method, after a chip-ized production process, after separating the minute semiconductor region 500 by ejection and the detached core 115 like drawing 3 (a) (drawing 3 (b)), laying in a substrate 215 is also possible. In this case, it is also possible like drawing 3 (c) to also use a semiconductor device side as the upper surface and to turn on a lamination side side like drawing 3 (d).

[0050] Although external force, such as hauling, compression, and a shear, may be used for it since it is performed after already chip-izing (i.e., after a separation-ized production process makes separation area very small compared with a silicon wafer), it is good to dissociate using the fluid of description preferably. It is also possible to dissociate by applying heat to a detached core 115. When especially the detached core is formed of ion-implantation layers, such as hydrogen, it is also desirable to perform local heating with laser etc.

[0051] About a detached core, a semiconductor film, a member, a semiconductor device, and/or a semiconductor integrated circuit, what the above-mentioned operation gestalt 1 explained is applicable as it is.

[0052] Like this operation gestalt, the local stress concentration to a semiconductor device can be reduced by performing a separation production process compared with the case where a large area is separated at once, after a chip-sized production process. Furthermore, it leads also to improvement in the yield by dissociating only about the chip of an excellent article.

[0053] (Example 1) The single crystal Si substrate of the P type of specific resistance 0.01 ohm-cm was prepared, and anodization on the surface of a substrate was performed into HF solution. The anodization conditions were as follows.

Current density : 7 (mA-cm<sup>-2</sup>)

Anodization solution : HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH= 1:1:1 hours : 11 (minute)

Thickness of a porosity Si layer : 12 (micrometer)

The porosity Si layer could make the high quality epitaxial Si layer form on the porosity Si layer concerned, and it adjusted porosity so that it could use as a detached core further. Specifically, it was 20%. In addition, the thickness of a porosity Si layer can be used not only from the above-mentioned thickness but hundreds of micrometers to about 0.1 micrometers.

[0054] This single crystal Si substrate was oxidized in the 400-degree C oxygen ambient atmosphere for 1 hour. Thereby, the wall of the hole of Porosity Si was covered by the thermal oxidation film. Then, the surface of this porosity Si layer was immersed in fluoric acid, it left the oxide film of the wall of a hole, and only the oxide film of the surface of a porosity Si layer was removed. next, a porosity Si layer top -- CVD (Chemical Vapor Deposition) -- 3 micrometers grew the single crystal Si layer epitaxially by law. The growth conditions are as follows.

Source gas : SiH<sub>2</sub>Cl<sub>2</sub>/H<sub>2</sub> quantity of gas flow : 0.5/180 l/min gas pressure : 80Torr temperature : 950-degree-C growth rate : In advance of 0.3 micrometer/min epitaxial growth, heat treatment in a hydrogen content ambient atmosphere was performed. This is for closing a surface hole. In addition to this heat treatment, minute Si atom may be added with material gas etc., and the atom for those surface hole closures may be compensated.

[0055] In this way, the member obtained can be treated as the same wafer as the epiwafer usually used. It only differs that the porosity Si layer is formed in the bottom of an epilayer. Circuits, such as a microprocessor, a logic IC, and memory, were produced to this epilayer. Production of LSI has produced LSI with the same engine performance as the former by letting the completely same production process as usual pass. In addition, it is also desirable after epitaxial growth to heat-treat in a hydrogen ambient atmosphere in advance of device field formation.

[0056] The residual Si field of Porosity Si is depletion-ized, and is formed into high resistance. Improvement in the speed of a kind SOI--by this device and low-power-ization are realized.

[0057] In addition, by using a trench as isolation, contraction of a chip area is attained, it can take in a wafer, and a number also increases. Moreover, together with the high resistance of a porosity Si layer, the insulation between elements was able to be attained by making it attain a trench or LOCOS to a porosity Si layer.

[0058] In this way, although chip-ization according made LSI to rear-face grinding and dicing is usually performed, the whole wafer surface is divided into the substrate and LSI side in the porosity Si layer currently produced beforehand here.

[0059] Separation used the pressure of a fluid. Specifically, it separated into the porosity Si layer side by high-pressure spurting out.

[0060] In addition, the following can be used as a fluid. The thing containing solid grain and fine particles is in a gas, a liquid, or them. Although used the water jet (it is described as "WJ" below) in this example, it is also possible to apply the fluid jet with which an air jet, a nitrogen gas jet, other gas jet, liquid jet other than water, ice, and a plastics piece and an abradant were mixed, or these static pressures. It flows also into a very minute crevice, a fluid can raise an internal pressure, and it is the feature that external pressure can be distributed and impressed. Moreover, there is the feature of making the part which is the easiest to separate separate from a pressure not being extremely applied to a part alternatively. It is the optimal means in order to separate the whole thin layer surface where the semiconductor device is already produced like this invention.

[0061] In addition, it is more desirable to support a surface side by other supporter material in the case of separation. For example, there are a flexible sheet, a glass substrate, a plastic plate, a metal substrate, and other semiconductor substrates. With adhesives, these supporter material is stuck the surface side of the substrate which carried out device formation, and is united.

[0062] A fluid is impressed near the edge of the 1st substrate supported by supporter material, and a porosity Si layer is separated on the whole surface. In case a fluid was impressed, made it more desirable for the 1st substrate edge to express Porosity Si. Furthermore, if it is made to express so that the porosity Si section may become a concave, the pressure of a fluid can be efficiently impressed more to a porosity Si layer.

[0063] Even if it removes, it is not necessary to carry out porosity Si which remained to the device layer side.

[0064] Then, the device layer side was cut to the chip size by dicing, and packaging of each chip was performed. A separation side may be put on a package base, wire bonding may be carried out from a surface side, and the surface may be turned down and packed. The mimetic diagram is shown in [drawing 4](#) (a). 510 -- a package base and 520 -- wiring and 141 -- trench separation and 142 -- a bipolar transistor and 143 -- a well -- as for separation and 144, a pMOS transistor and 145 are nMOS transistors. You may carry out so that trench separation of 141 may be attained to a detached core 100.

[0065] By installing in a plastic card directly, an IC card is producible.

[0066] [Drawing 4](#) (b) shows the example to which drawing 4 (c) used the device layer side as the inferior surface of tongue for the example which installed the device layer side in the upper surface to IC card 530.

[0067] If a package base is used as a heat sink, as compared with the conventional back grinder method, it has marked heat leakage nature. by this invention, although the lamination of the rear face by the back grinder is usually hundreds of microns, in order that only [a part of thickness (sum total <10 micron) of the thickness + porosity Si of a surface epilayer] may remain, narrowing and heat leakage nature boil it markedly, and the source of heat release of a device and its distance of a heat sink improve. In addition, OEIC (Optoelectronic Integrated Circuits) can be produced to an epilayer, and it can also pack to a light transmission nature substrate or optical waveguide. in addition -- the time of chip-izing -- less than [ 10cmx10cm ] -- desirable -- 5cmx -- it is desirable that it is less than [ 2cmx2cm ] still more preferably 5cm or less.

[0068] In addition, it dissociated, and the remaining single crystal Si substrate performed surface regrinding, etching, heat treatment



under the ambient atmosphere containing hydrogen, etc. if needed, and has supplied them to the same production process again. Or it can also use as a substrate of another purpose.

[0069] (Example 2) In the example 1, although the number of porous layers was one, they were used as the porous layer of the two-layer configuration from which porosity differs in this example.

[0070] First, anodization of a silicon substrate surface was performed on condition that the following.

Current density : 8 (mA-cm<sup>-2</sup>)

Anodization solution : HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH= 1:1:1 hours : 5 (minute)

Thickness of a porosity Si layer : 6 (micrometer)

Then, anodization was performed on condition that the following.

Current density : 33 (mA-cm<sup>-2</sup>)

Anodization solution : HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH= 1:1:1 hours : 80 (second)

Thickness of Porosity Si : 3 (micrometer)

In this way, 20% of low porosity layer was formed from the single crystal silicon substrate side the high porosity layer of 45% of porosity, and also on it. Then, the epitaxial silicon layer was formed on the low porosity layer according to the same conditions as an example 1, and the integrated circuit etc. was formed further.

[0071] Then, water was able to be injected in the porosity silicon layer and the substrate was able to be divided into it. Separation was produced near the interface of an above-mentioned two-layer porous layer.

[0072] In addition, the thickness of a two-layer porous layer may not be a configuration (6 micrometers / 3 micrometers), and can carry out adjustable [ of the thickness ] by changing anodization conditions. Moreover, anodization liquid may not be HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1. Moreover, other alcohol, such as IPA (isopropyl alcohol), may be used instead of ethanol. Since alcohol aims at preventing wafer surface adhesion of a reaction bubble as a surfactant, it may not be alcohol, but other surfactants may be used, and a surface air bell may be removed ultrasonically, without adding a surfactant.

[0073] The chip-ized production process was able to produce thin film semiconductor equipment after separation by supposing that it is the same as that of an example 1.

[0074] (Example 3) The single crystal Si substrate of the P type of resistivity 14 ohm-cm was prepared. Field bearing was <100>. On this single crystal Si substrate surface, circuit cambium, such as a microprocessor, a logic IC, and memory, were produced.

[0075] Then, from the circuit cambium side, the hydrogen ion was poured into the predetermined depth (this example a depth of a surface side to 3 micrometers), and the ion-implantation layer was formed. The injection rate was E17/cm<sup>2</sup> from the E16 number. On the occasion of impregnation, SiO<sub>2</sub> protective coat may be formed in the maximum surface with a CVD method.

[0076] Next, the plastic plate (or a glass substrate, Si substrate, a flexible film, and adhesive tape are sufficient.) as a device cambium and supporter material was stuck with adhesives. Then, it spurted out on the ion-implantation layer side, and the separation production process was performed.

[0077] And the chip-ized production process as well as an example 1 was performed, and the IC card was produced.

[0078] (Example 4) The single crystal Si substrate of the P type of specific resistance 0.01 ohm-cm was prepared, and anodization on the surface of a substrate was performed into HF solution. The anodization conditions were as follows.

Current density : 8 (mA-cm<sup>-2</sup>)

Anodization solution : HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH= 1:1:1 hours : 5 (minute)

Thickness of a porosity Si layer : 6 (micrometer)

Then, anodization was performed on condition that the following.

Current density : 33 (mA-cm<sup>-2</sup>)

Anodization solution : HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH= 1:1:1 hours : 80 (second)

Thickness of Porosity Si : 3 (micrometer)

In this way, 20% of low porosity layer was formed from the single crystal silicon substrate side the high porosity layer of 45% of porosity, and also on it. Then, the epitaxial silicon layer was formed on the low porosity layer according to the same conditions as an example 1, and the integrated circuit etc. was formed further. Next, after sticking a device layer side on the plastic plate (or a glass substrate, Si substrate, a flexible film, and adhesive tape are sufficient.) as supporter material with adhesives, dicing, i.e., chip-izing, was performed from the epitaxial layer and opposite side, i.e., single crystal silicon substrate, side for chip-izing, and it separated into the minute field.

[0079] Next, holding the minute field concerned with maintenance means, such as a vacuum pincette, it carried out melting the above-mentioned adhesives if needed etc., and as the ejection ejection and device layer side became a lamination side, it put the chip on the package base. Then, the hauling force was applied and it dissociated by the detached core. In this way, thin film semiconductor equipment has been formed in the package base. This chip was closed by the resin of plastics and the IC card was produced.

[0080]

[Effect of the Invention] According to this invention, the thin film semiconductor equipment which lessened effect of the device cambium on [ in the case of separation ] can be manufactured by performing a separation production process, after dissociating using a fluid or chip-izing the separation production process in thin-film-izing to the minute field of a request of a silicon wafer.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the typical cross section showing an example of the operation gestalt of this invention.

[Drawing 2] It is the typical cross section showing an example of the operation gestalt of this invention.

[Drawing 3] It is a typical cross section to show an example of the operation gestalt in this invention.

[Drawing 4] It is the typical cross section showing an example of the operation gestalt in this invention.

[Drawing 5] It is the typical cross section showing an example of the operation gestalt in this invention.

[Drawing 6] It is a typical cross section to show the conventional example.

[Description of Notations]

100 Detached Core

101 Residue Delaminate

110 Semiconductor Film

120 Member

130 Semiconductor Region

140 Semiconductor Device or Semiconductor Integrated Circuit

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

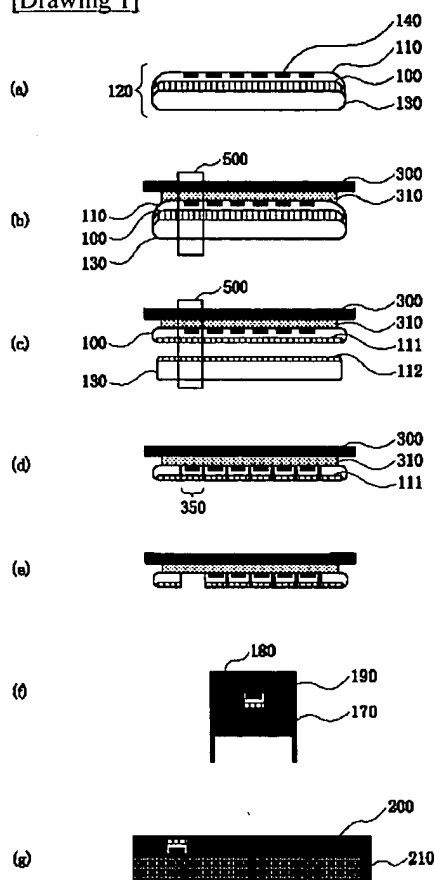
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

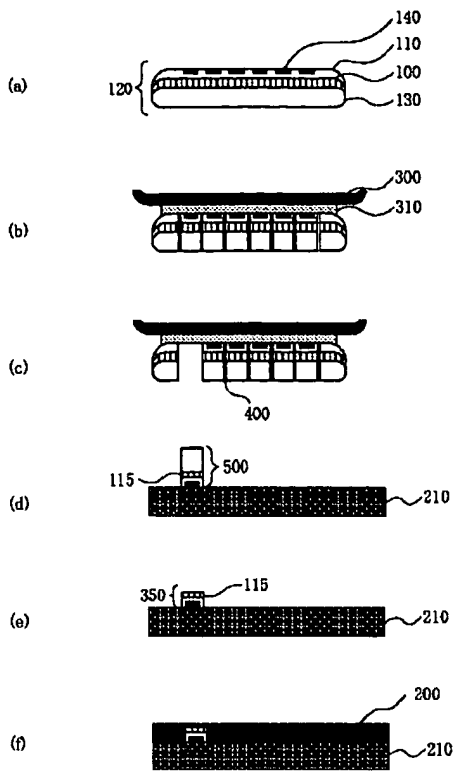
3. In the drawings, any words are not translated.

## DRAWINGS

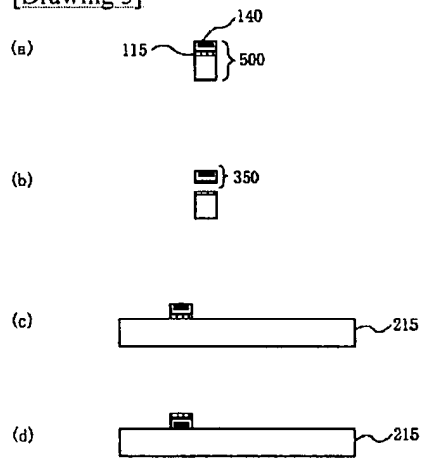
[Drawing 1]



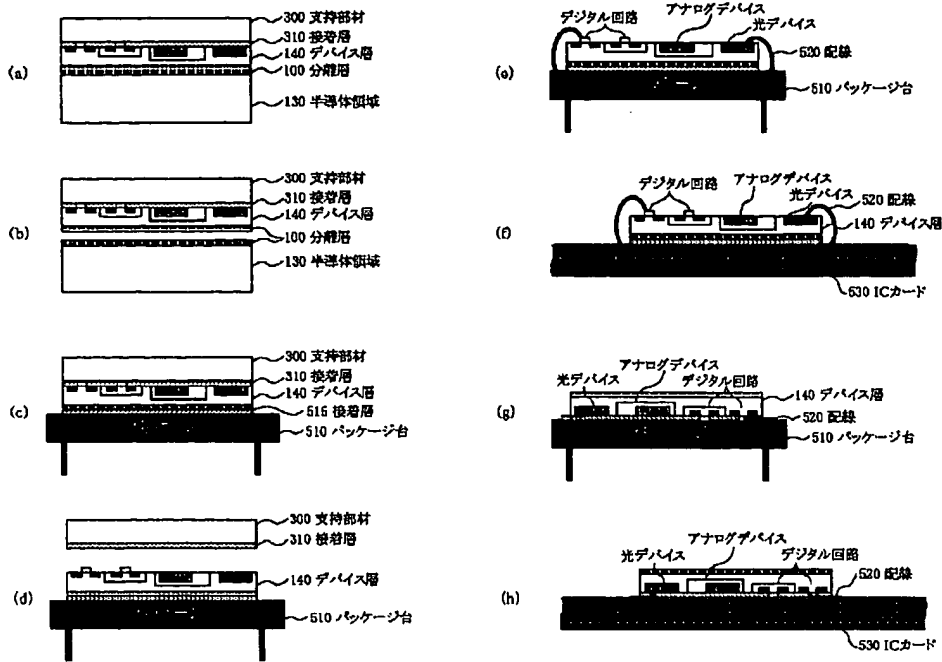
[Drawing 2]



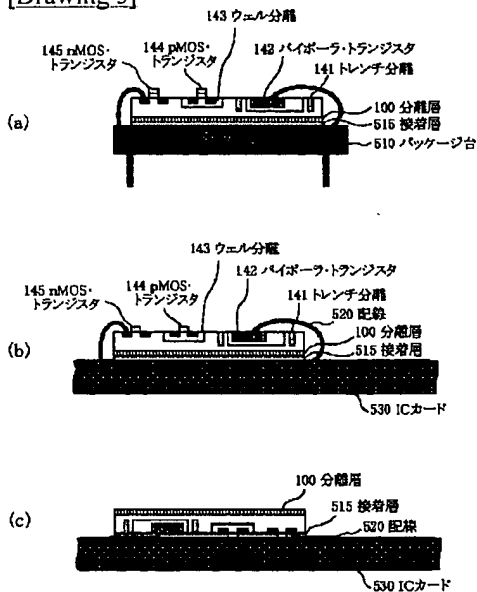
[Drawing 3]



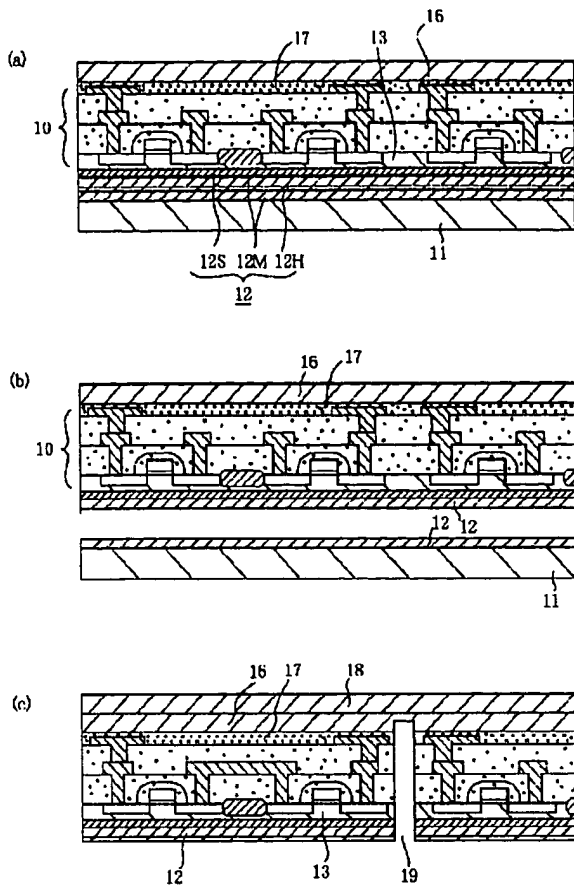
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]